

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347619

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

6096 3/28  
6096 3/20

(21)Application number : 11-154776

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 02.06.1999

(72)Inventor : TOKUNAGA TSUTOMU  
SAEGUSA NOBUHIKO

## (54) DRIVING METHOD OF PLASMA DISPLAY PANEL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain good image display even when the pulse width of driving pulse is shortened to make hardly generate erroneous discharge and by generating maintenance discharge of an initial time portion on a discharge cell which belongs to a part of display line group, then writing picture element data in discharge cells which belong to remaining display groups, and generating remaining maintenance discharge on all the discharge cells at completing.

**SOLUTION:** In a printing process Pc, within display in PDP of the first - the second (n) line, priming discharge is generated against discharge cells which belong to a display line group (display line group B) of the n+1 - the second (n) line. When a first light emission maintenance process Ic1 and the priming process Pc are completed, a second picture element writing process Wc2 is executed. In the second picture element data writing process Wc2, writing of picture element data is executed against the discharge cells which belong to the display line group B. When this is completed, the second light emission maintenance process Ic2 is executed. In the second light emission maintenance process Ic2, maintenance pulse of positive polarity IPx2, IPy2 are alternately and repeatedly impressed.

## LEGAL STATUS

[Date of request for examination]

16.04.2003

[Date of sending the examiner's decision of rejection]

14.12.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347619

(P2000-347619A)

(43) 公開日 平成12年12月15日 (2000.12.15)

(51) Int.Cl.<sup>7</sup>G 0 9 C 3/28  
3/20

識別番号

6 4 1

F I

G 0 9 C 3/28  
3/20  
3/28データベース<sup>1</sup> (参考)E 5 C 0 8 0  
6 4 1 E  
K

審査請求 未請求 請求項の数5 O L (全12頁)

(21) 出願番号

特願平11-154776

(22) 出願日

平成11年6月2日 (1999.6.2)

(71) 出願人 000003016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 徳永 勉

山梨県中巨摩郡旧富町西花輪2680番地 バ  
イオニア株式会社内

(72) 発明者 三枝 信彦

山梨県中巨摩郡旧富町西花輪2680番地 バ  
イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

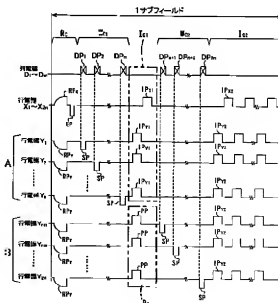
Fターム(参考) 5C080 A005 B005 D007 D009 EE29  
FF07 FF12 HH02 H004 HH05  
HH06 JJ02 JJ04 JJ05

## (54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

## (57) 【要約】

【課題】 プラズマディスプレイパネルに印加する駆動パルスのパルス幅を短くしても良好な画像表示を行うことが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 プラズマディスプレイパネルの表示ライン内の一部の表示ライン群に属する放電セルに対して画素データの書き込みが終了したら、この一部の表示ライン群に属する放電セルに対して初回分の維持放電を発生させる。その後、残りの表示ライン群に属する放電セルに対して画素データの書き込みを行い、これが終了したら、全ての放電セルに対して残りの維持放電を発生させる。



## 【特許請求の範囲】

【請求項1】 複数の表示ライン各々に対応した行電極と前記行電極に交叉して配列された列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、

入力映像信号の単位表示期間を複数の分割表示期間に分割し、前記分割表示期間の各々において、

前記表示ライン各々の内の一部の表示ライン群に属する前記放電セルの各々を前記入力映像信号に対応した画素データに応じて非発光セル又は発光セルのいずれか一方に設定すべき選択放電を生起させる第1画素データ書込行程と、

前記一部の表示ライン群に属する前記発光セルのみを発光させるべき維持放電を所定回数だけ生起させる第1発光維持行程と、

前記表示ライン各々の内の他部の表示ライン群に属する前記放電セルの各々を前記画素データに応じて前記非発光セル又は前記発光セルのいずれか一方に設定すべき選択放電を生起させる第2画素データ書込行程と、

前記発光セルのみを発光させるべき維持放電を前記分割表示期間各々の重み付けに対応した回数から前記所定回数減じた回数分だけ生起させる第2発光維持行程と、を順次実行することとを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記第1画素データ書込行程に先だって、全ての前記放電セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期設定するリセット放電を生起させるリセット行程を実行することとを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記単位表示期間内における先頭の前記分割表示期間では前記第2画素データ書込行程の直前に、前記他部の表示ライン群に属する前記放電セル各々に対してブライミング放電を生起させるブライミング行程を実行することとを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記単位表示期間内における先頭の前記分割表示期間においてのみで前記第1画素データ書込行程に先だって、全ての前記放電セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期設定するリセット放電を生起させるリセット行程を実行し、前記単位表示期間内のいずれか1の前記分割表示期間での前記第1画素データ書込行程及び前記第2画素データ書込行程においてのみで前記放電セルの前記初期設定の状態を変更すべき前記選択放電を生起させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記単位表示期間内における先頭の前記分割表示期間を除く他の分割表示期間各々において、前記第2画素データ書込行程の直前に、前記他部の表示ラ

イン群に属する前記発光セルのみを発光させるべき維持放電を前記所定回数だけ生起させる第3発光維持行程を実行することとを特徴とする請求項1及び4記載のプラズマディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】近年、表示装置の大画面化にともなう薄型のものが要求され、各種の薄型表示デバイスが実用化されている。交流放電型のプラズマディスプレイパネルは、この薄型表示デバイスの1つとして着目されている。図1は、かかるプラズマディスプレイパネルと、これを駆動する駆動装置とからなるプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネルとしてのPDP10は、データ電極としてのm個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列されている夫々n個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。尚、行電極は、X及びYの一对にてPDPにおける1行分に対応した行電極を形成している。これら列電極Dと、行電極X及びYは、放電空間を挟んで互いに向向して配置された2つのガラス基板各々に形成されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0004】この際、各放電セルは、放電現象を利用して発光を行うものである為、“発光”及び“非発光”の2つの状態しかもたない。つまり、最低輝度(非発光状態)と、最高輝度(発光状態)の2階調分の輝度しか表現出来ないものである。そこで、駆動装置100は、このようなPDP10に対して、入力された映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を実施する。

【0005】サブフィールド法では、入力された映像信号を各画素毎に対応した例えば4ビットの画素データに変換し、この4ビットのビット桁各々に対応させて1フィールドを図2に示されるが如く4個のサブフィールドSF1～SF4に分割する。図3は、1サブフィールド内において、駆動装置100が上記PDP10の行電極対及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。

【0006】図3に示されるように、まず、駆動装置100は、正極性のリセットパルス $R_P$ を行電極 $X_1 \sim X_n$ 、負極性のリセットパルス $R_P$ を行電極 $Y_1 \sim Y_n$ に印加する。これらリセットパルス $R_P$ 及び $R_P$ の印加に応じて、PDP10の全ての放電セルがリセット放電され、各放電セル内には、様に所定量の壁電荷が形成される。その直後に、駆動装置100は、消去パルスEPをPDP10の行電極 $X_1 \sim X_n$ に一并に印加する。これに

より、全ての放電セルには消去放電が生起され、上記壁電荷が消滅する(一斉リセット行程Rc)。すなわち、かかる一斉リセット行程Rcにおいては、PDP10における全ての放電セルは、“非発光セル”の状態に初期化されるのである。

【0007】次に、駆動装置100は、入力された映像信号に対応した1行毎の画素データバルス群DP<sub>1</sub>〜DP<sub>n</sub>を順次、列電極D<sub>1</sub>に印加して行くと共に、各画素データバルス群DPの印加タイミングにて走査バルスSPを発生し、これを行電極Y<sub>1</sub>〜Y<sub>n</sub>へと順次印加して行く(画素データ書込行程Wc)。この際、走査バルスSPが印加された“行”と、高電圧の画素データバルスが印加された“列”との交差部の高電圧セルにのみ放電(選択書込放電)が生じて壁電荷が形成される。これにより、上記一斉リセット行程Rcにおいて“非発光セル”の状態に初期化された放電セルは、“発光セル”に推移する。一方、走査バルスSPが印加されたものの、低電圧の画素データバルスが印加された“行”及び“列”に交差して形成されている放電セルには上記選択書込放電は生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“非発光セル”の状態が保持される。

【0008】次に、駆動装置100は、図3に示されるように、維持バルスIP<sub>1</sub>を繰り返し行電極X<sub>1</sub>〜X<sub>3</sub>に印加すると共に、かかる維持バルスIP<sub>1</sub>はそのタイミングをずらして維持バルスIP<sub>2</sub>を繰り返し行電極Y<sub>1</sub>〜Y<sub>3</sub>に印加する(発光維持行程I)。尚、1サブフィールド内において維持バルスIP<sub>1</sub>及びIP<sub>2</sub>が印加される回数は、図2に示されるが如く、各サブフィールドの重み付けに応じて設定されている。ここで、壁電荷が存在している放電セル、すなわち“発光セル”のみが、これら維持バルスIP<sub>1</sub>及びIP<sub>2</sub>が印加される度に維持放電する。つまり、上記画素データ書込行程Wcにおいて“発光セル”に設定された放電セルのみが、図2に示されているが如き、サブフィールドの重み付けに対応した回数だけ維持放電に伴う発光を繰り返し、その発光状態を維持するのである。

【0009】駆動装置100は、以上の如き動作を各サブフィールド毎に実施する。この際、各サブフィールドで生起された上記維持放電の回数の合計(1フィールドで)により、映像信号に対応した中間調の輝度が表現されるのである。尚、上記サブフィールド法によって表現出来る輝度の階調数は、分割されたサブフィールドの数が多くなるほど多くなる。ところが、1フィールドの表示期間を予め定められているので、サブフィールドの数を多くする為には、図3に示されるが如き各種駆動バ尔斯のバルス幅を短くする必要がある。

【0010】しかしながら、駆動バ尔斯のバルス幅を短くすると読放電が生じるようになり、結果として良好な表示品質が得られなくなるといった問題が生じた。

【0011】

【発明が解決しようとする課題】本発明は、かかる問題を解決すべく為されたものであり、プラズマディスプレイパネルに印加する駆動バ尔斯のバルス幅を短くしても良好な画像表示を行うことが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、複数の表示ライン各々に対応した行電極と前記行電極に交差して配列された列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、入力映像信号の単位表示期間を複数の分割表示期間に分割し、前記分割表示期間の各々において、前記表示ライン各々の内の一部の表示ライン群に属する前記放電セルの各々を前記入力映像信号に対応した画素データに応じて非発光セル又は発光セルのいずれか一方に設定すべき選択放電を生起させる第1画素データ書込行程と、前記一部の表示ライン群に属する前記発光セルのみを発光させるべき維持放電を所定回数だけ生起させる第1発光維持行程と、前記表示ライン各々の内の他部の表示ライン群に属する前記放電セルの各々を前記画素データに応じて前記非発光セル又は前記発光セルのいずれか一方に設定すべき選択放電を生起させる第2画素データ書込行程と、前記発光セルのみを発光させるべき維持放電を前記分割表示期間各々の重み付けに対応した回数から前記所定回数減じた回数分だけ生起させる第2発光維持行程とを順次実行する。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図を参照しつつ説明する。図4は、本発明による駆動方法に基づいてプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。図4に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、A/D変換器1、駆動制御回路2、メモリ4、アドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8からなる駆動部と、から構成されている。

【0014】PDP10は、アドレス電極としてのm個の列電極D<sub>1</sub>〜D<sub>n</sub>と、これら列電極各々と交差して配列されている夫々2n個の行電極X<sub>1</sub>〜X<sub>2n</sub>及び行電極Y<sub>1</sub>〜Y<sub>2n</sub>を備えている。この際、行電極X及び行電極Yの一对にて、PDP10における1つの表示ラインに対応した行電極を形成している。列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0015】A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応した例えば4ビットの画素データに変換し、これをメ

メモリ4に供給する。メモリ4は、駆動制御回路2から供給された書込信号に従って上記画素データDを順次書き込む。

【0016】かかる書込動作によりPDP10における1画面(2n行、m列)分の書き込みが終了すると、メモリ4は、この1画面分の画素データD<sub>11~20n</sub>を上記駆動制御回路2から供給された読出信号に従って以下の如く読み出す。つまり、メモリ4は、先ず、後述するサブフィールドSF4での画素データD<sub>11~20n</sub>及びWc1及びWc2において、上記画素データD<sub>11~20n</sub>各々の最上位ビットである第4ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>として順次読み出し、これをアドレスドライバ6に供給する。次に、メモリ4は、後述するサブフィールドSF3での画素データ書込行Wc1及びWc2において、上記画素データD<sub>11~20n</sub>各々の第3ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>として順次読み出し、これをアドレスドライバ6に供給する。次に、メモリ4は、後述するサブフィールドSF2での画素データ書込行Wc1及びWc2において、上記画素データD<sub>11~20n</sub>各々の第2ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>として順次読み出し、これをアドレスドライバ6に供給する。次に、メモリ4は、後述するサブフィールドSF1での画素データ書込行Wc1及びWc2において、上記画素データD<sub>11~20n</sub>各々の最下位ビットである第1ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>として順次読み出し、これをアドレスドライバ6に供給する。

【0017】駆動制御回路2は、上記入力映像信号中における水平及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込及び読出信号を発生する。更に、駆動制御回路2は、図4に示される如き発光駆動フォーマットに従って、PDP10を駆動させるべき各種タイミング信号をアドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8各々に供給する。

【0018】尚、図4に示される発光駆動フォーマットでは、入力映像信号の1フィールド期間を4つのサブフィールドSF1~4に分割し、各サブフィールド内において、一斉リセット行Rc、第1画素データ書込行Wc1、第1発光維持行Ic1、第2画素データ書込行Wc2、及び第2発光維持行Ic2を順次実行する。更に、上記第2画素データ書込行Wc2の直前においてブライミング行Pcを実行する。

【0019】図6は、図4に示される発光駆動フォーマットに従って、アドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8各々が、サブフィールド内においてPDP10の行電極及び列電極に印加する各種駆動パルスの印加タイミングを示す図であ

る。先ず、図6に示される一斉リセット行Rcでは、第1サステンドライバ7が、正極性のリセットパルスR<sub>P1</sub>を行電極X<sub>1~X<sub>2n</sub></sub>に印加し、このリセットパルスR<sub>P1</sub>の印加と同時に、第2サステンドライバ8が、負極性のリセットパルスR<sub>P2</sub>を行電極Y<sub>1~Y<sub>2n</sub></sub>に印加する。これらリセットパルスR<sub>P1</sub>及びR<sub>P2</sub>の印加に応じて、PDP10における全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。その直後、第1サステンドライバ7は、図6に示される如き消去パルスEPをPDP10の行電極X<sub>1~X<sub>2n</sub></sub>に一斉に印加する。これにより、全ての放電セルで消去放電が生じられ、上記壁電荷が消滅する。

【0020】すなわち、かかる一斉リセット行Rcにより、PDP10における全ての放電セルは、「非発光セル」の状態に初期化されるのである。一斉リセット行Rcが終了すると、次に第1画素データ書込行Wc1を実行する。第1画素データ書込行Wc1では、アドレスドライバ6が、上記メモリ4から順次読み出された駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>各々に対応した画素データパルス群DP<sub>1~DP<sub>n</sub></sub>を発生し、これらを図6に示されるように順次、列電極D<sub>1~D<sub>n</sub></sub>に印加して行く。この際、駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>とは、例えば、サブフィールドSF4では上記画素データDの最上位ビットのみであり、又、サブフィールドSF1では上記画素データDの最下位ビットのみである。すなわち、アドレスドライバ6は、この画素データDによるデータビットが例えば論理レベル“1”である場合には高電圧、論理レベル“0”である場合には低電圧(0ボルト)の画素データパルスを発生し、これをPDP10の表示ラインの第1行~第n行各々に相当するもの同士でグループ化したものを上記画素データパルス群DP<sub>1~DP<sub>n</sub></sub>として順次、列電極D<sub>1~D<sub>n</sub></sub>に印加して行くのである。これら画素データパルス群DP<sub>1~DP<sub>n</sub></sub>各々の印加タイミングにて、第2サステンドライバ8は、負極性の走査パルスSPを発生し、これを図6に示される如く行電極Y<sub>1~Y<sub>n</sub></sub>へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択書込放電)が生じられ、その放電セル内に壁電荷が形成される。つまり、この放電セルは、“発光セル”の状態に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルでは、上記の如き選択書込放電は生じられないので、“非発光セル”の状態が保持される。

【0021】すなわち、第1画素データ書込行Wc1では、PDP10における第1行~第2n行からなる表示ラインの内、第1行~第n行までの表示ライン群(以下、表示ライン群Aと称する)に属する放電セルに対して、画素データの書込が為されるのである。かかる第1画素データ書込行Wc1が終了すると、次に、第1発光

維持行程 I c1 が実施される。

【0022】第1発光維持行程 I c1 では、まず、第2サステンドライバ8が、図6に示されるが如き正極性の維持パルス  $I_{P_{Y1}}$  を PDP 10 の行電極  $Y_1 \sim Y_7$  に同時印加する。更に、かかる維持パルス  $I_{P_{Y1}}$  の印加直後に、第1サステンドライバ7が、図6に示されるが如き正極性の維持パルス  $I_{P_{X1}}$  を PDP 10 の行電極  $X_1 \sim X_{28}$  に同時印加する。これら維持パルスの印加により、上記第1画素データ書込行程 Wc1 において壁電荷が形成された放電セル、すなわち“発光セル”のみが上記維持パルス  $I_{P_{Y1}}$  及び  $I_{P_{X1}}$  が印加される度に維持放電して、2回分のパルス発光が為される。

【0023】すなわち、第1発光維持行程 I c1 では、PDP 10 における第1行～第2n行なる表示ラインの内、第1行～第n行の表示ライン群Aに属する放電セル(“発光セル”状態にある)に対して、最初の2回分の維持放電を生起させるのである。一方、かかる第1発光維持行程 I c1 と同時に実施されるプライミング行程 P c では、第2サステンドライバ8が、図6に示されるが如き正極性のプライミングパルス P P を PDP 10 の行電極  $Y_{n+1} \sim Y_{2n}$  に同時印加する。かかるプライミングパルス P P の印加に応じてプライミング放電が生起され、行電極  $Y_{n+1} \sim Y_{2n}$  に属する各放電セルの放電空間内に荷電粒子が形成される。

【0024】すなわち、かかるプライミング行程 P c では、PDP 10 における第1行～第2n行なる表示ラインの内、第n+1行～第2n行の表示ライン群(以下、表示ライン群Bと称する)に属する放電セルに対し、荷電粒子を形成させる為のプライミング放電を生起させるのである。上記第1発光維持行程 I c1 及びプライミング行程 P c が終了すると、次に、第2画素データ書込行程 Wc2 が実施される。

【0025】第2画素データ書込行程 Wc2 では、アドレスドライバ6が、上記メモリ4から順次読み出された駆動画素データビット群  $D_{B_{n+1}} \sim D_{B_{2n}}$  各々に対応した画素データパルス群  $D_{P_{n+1}} \sim D_{P_{2n}}$  を発生し、これらを図6に示されるように順次、列電極  $D_{1-1}$  に印加して行く。この際、駆動画素データビット群  $D_{B_{n+1}} \sim D_{B_{2n}}$  とは、例えば、サブフィールド SF 4 では上記画素データ D の最上位ビットのみで成り、又、サブフィールド SF 1 では上記画素データ D の最下位ビットのみで成るものである。すなわち、アドレスドライバ6は、この画素データ D によるデータビットが例えば論理レベル“1”である場合には高電圧、論理レベル“0”である場合には低電圧(0ボルト)の画素データパルスを発生し、これを PDP 10 の表示ラインの第n行～第2n行各々に相当するもの同士でグループ化したものを上記画素データパルス群  $D_{P_{n+1}} \sim D_{P_{2n}}$  として順次、列電極  $D_{1-1}$  に印加して行くのである。この際、走査パルス S P が印加された“行”と、高電圧の画素データパルスが印加された“列”

との交差部の放電セルにのみ放電(選択書込放電)が生起され、その放電セル内に壁電荷が形成される。つまり、この放電セルは、“発光セル”の状態に推移する。一方、走査パルス S P が印加されたものの、低電圧の画素データパルスが印加された放電セルでは、上記の如き選択書込放電は生起されないで、“非発光セル”の状態が保持される。

【0026】すなわち、第2画素データ書込行程 Wc2 では、PDP 10 における第1行～第2n行からなる表示ラインの内第n+1行～第2n行の表示ライン群Bに属する放電セルに対して画素データの書き込みが為されるのである。かかる第2画素データ書込行程 Wc2 が終了すると、次に、第2発光維持行程 I c2 が実施される。第2発光維持行程 I c2 では、第1サステンドライバ7及び第2サステンドライバ8各々が、行電極  $X_1 \sim X_{28}$  及び  $Y_1 \sim Y_{2n}$  に対して図6に示されるが如く、交互に正極性の維持パルス  $I_{P_{X2}}$  及び  $I_{P_{Y2}}$  を繰り返し印加する。尚、各サブフィールドの第2発光維持行程 I c2 で印加される維持パルスの回数、各サブフィールド S F の重み付けに対応して予め設定されている数、例えば、  
SF 4 : 8  
SF 3 : 4  
SF 2 : 2  
SF 1 : 1

なる回数比に基づいて設定されている回数から、上記第1発光維持行程 I c1 において生起させた維持放電の回数を減じた回数となる。

【0027】かかる維持パルスの印加により、上記第1画素データ書込行程 Wc1 及び第2画素データ書込行程 Wc2 において壁電荷が形成された放電セル、すなわち“発光セル”のみが上記維持パルス  $I_{P_{X2}}$  及び  $I_{P_{Y2}}$  が印加される度に維持放電し、上述した如く回数分だけ断続的な発光を繰り返す。以上の如く、本発明においては、PDP 10 における第1行～第2n行の表示ラインの内、第1行～第n行の表示ライン群Aに属する放電セルに対する画素データ書き込みが終了した時点で、この表示ライン群Aに属する放電セルに対して最初の所定回数分だけ維持放電を生起させるようにしている。これにより、上記第1画素データ書込行程 Wc1 での選択書込放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、かかる維持放電によって再形成される。

【0028】よって、図6に示される第2発光維持行程 I c2 の直前の段階において、表示ライン群Aに属する放電セル内には上述した如く荷電粒子が残留するので、例えば、第2発光維持行程 I c2 において印加する維持パルス  $I_{P_{X2}}$  及び  $I_{P_{Y2}}$  各々のパルス幅が短くても、維持放電が正しく生起されるようになる。一方、PDP 10 の残りの表示ライン群Bに属する放電セルに各々に対しては、画素データの書き込みを行う前に、プライミングパルス P P を印加してプライミング放電を生起させている。こ

れにより、上記一斉リセット行程Rcでのリセット放電にて形成されたもの時間経過につれて減少していった荷電粒子は再形成される。

【0029】よって、図6に示される第2画素データ書込行程We2の直前の段階において、表示ライン群Bに属する放電セル内には上記荷電粒子が残留することになる。例え、この第2画素データ書込行程We2において印加する走査パルスSPのバース幅が短くても、選択書き放電が正しく生起されるようになる。従って、本発明による原理によれば、分割するサブフィールドの数を増加させるべくPDPに印加すべき駆動パルス(走査パルスSP、維持パルス1P)のバース幅を短くしても、各種放電(選択書き放電及び維持放電)を正しく生起させることが出来るので、良好な画像表示が得られるようになる。

【0030】尚、上記実施例においては、画素データの書込方法として、画素データに応じて各放電セル内に選択的に壁電荷を形成させることにより画素データの書込を為すという、いわゆる選択書きアドレス法を採用した場合について述べた。しかしながら、本発明は、かかる画素データの書込方法として、予め全放電セル内に壁電荷を形成させておき、画素データに応じて選択的にその壁電荷を消去することにより画素データの書込を為す、いわゆる選択消去アドレス法を採用した場合についても同様に適用可能である。

【0031】又、上記実施例においては、図5に示されるが如き、各サブフィールド毎に一斉リセット行程Rcを実施するようにした発光駆動フォーマットに基づく駆動を例にとってその動作を説明したが、本発明は、これ以外の発光駆動フォーマットにも適用可能である。図7は、以上の如き点に鑑みて為されたプラズマディスプレイ装置の他の構成を示す図である。

【0032】図7において、プラズマディスプレイパネルとしてのPDP10は、アドレス電極としてのm個の列電極D<sub>1</sub>～D<sub>m</sub>と、これら列電極各々と交叉して配列されている夫々2n個の行電極X<sub>1</sub>～X<sub>2n</sub>及び行電極Y<sub>1</sub>～Y<sub>2n</sub>を備えている。この際、行電極X及び行電極Yの、対にて、PDP10の1表示ラインに対応した行電極を形成している。列電極D、行電極X及びYは放電空間に対して交点電極で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0033】A/D変換器1は、駆動制御回路20から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応した例えば4ビットの画素データDに変換し、これを画像処理回路30に供給する。画像処理回路30は、かかる画素データDに対して輝度補正、逆補正、更に、誤差拡散処理及びディザ処理等の多階調化処理を施して得た画像処理画素データHDをメモリ4に供給する。こ

の際、上記誤差拡散処理では、画素データDの上位ビットを表示データ、残りの下位ビットを誤差データとして捉え、周辺画素各々の画素データDから求められた上記誤差データを夫々重み付け加算して上記表示データに反映させたものを新たな画素データとする。かかる動作により、原画素における下位ビットに対応した輝度成分が上記周辺画素によって擬似的に表現されるようになる。又、ディザ処理では、画面上において互いに隣接する画素に対応した複数個の画素データ(仮処理の施された画素データ)により、1つの中間表示レベルを表現するものである。この際、ディザ処理では、例えば、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる1つのディザ係数α～δを夫々割り当てて加算する。かかるディザ処理によれば、4画素で1つの異なる中間表示レベルの組み合わせが発生することになる。

【0034】更に、画像処理回路30は、上記誤差拡散及びディザ処理の施された画素データをその輝度レベルに応じて5段階の階調に分類し、この分類に対応した図8に示されるが如きビットパターンを有する4ビットの画像処理画素データHDに変換してメモリ4に供給する。すなわち、入力映像信号は、上記A/D変換器1及び画像処理回路30によって、図8に示されるが如きビットパターンを有する5種類の画像処理画素データHDのいずれか1つに変換されるのである。

【0035】メモリ4は、駆動制御回路20から供給された書込信号に従って上記画像処理画素データHDを順次書き込む。かかる書込動作によりPDP10における1画面(2n行、m列)分の書き込みが終了すると、メモリ4は、この1画面分の画像処理画素データHD

11-2nを上記駆動制御回路20から供給された読出信号に従って以下の如く読み出す。

【0036】つまり、メモリ4は、先ず、後述するサブフィールドSF1での画素データ書込行程We1及びWe2において、上記画像処理画素データHD<sub>11-2n</sub>各々の最下位ビットである第1ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1</sub>～DB<sub>2n</sub>として順次読み出し、これをアドレスドライバ6に供給する。次に、メモリ4は、後述するサブフィールドSF3での画素データ書込行程We1及びWe2において、上記画像処理画素データHD<sub>11-2n</sub>各々の第3ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1</sub>～DB<sub>2n</sub>として順次読み出し、これをアドレスドライバ6に供給する。次に、メモリ4

は、後述するサブフィールドSF4での画素データ書込行行Wc1及びWc2において、上記画像処理画素データHD<sub>11~200</sub>各々の最上位ビットである第4ビットだけを1行分づつグループ化したものを駆動画素データビット群DB<sub>1~DB<sub>2n</sub></sub>として順次読み出し、これをアドレスドライバ6に供給する。

【0037】駆動制御回路20は、上記入力映像信号中における水平及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込及び読出信号を発生する。更に、駆動制御回路20は、図9に示されるが如き発光駆動フォーマットに従って、PDP10を駆動させるべき各種タイミング信号をアドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8各々に供給する。

【0038】尚、図9に示される発光駆動フォーマットでは、入力映像信号の1フィールド期間を4つのサブフィールドSF1~4に分割し、先頭のサブフィールドSF1において、一斉リセット行行Rc、第1画素データ書込行行Wc1、第1発光維持行行Ic1、第2画素データ書込行行Wc2、及び第2発光維持行行Ic2を順次実行する。更に、かかるサブフィールドSF1では、上記第2画素データ書込行行Wc2の直前にタイミング行行Pcを実行する。又、サブフィールドSF2~SF4各々では、第1画素データ書込行行Wc1、第1発光維持行行Ic1、第2画素データ書込行行Wc2、及び第2発光維持行行Ic2を順次実行する。更に、これらサブフィールドSF2~SF4各々では、上記第2画素データ書込行行Wc2の直前に第3発光維持行行Ic3を実行する。

【0039】図10は、図9に示される発光駆動フォーマットに従って、アドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8各々、PDP10の行電極及び列電極に印加する各種駆動パルスの印加タイミングを示す図である。尚、図10においては、先頭のサブフィールドSF1と、それに続くサブフィールドSF2での印加タイミングのみを示している。

【0040】図10において、先頭のサブフィールドSF1においてのみで実施される一斉リセット行行Rcでは、第1サステンドライバ7が自極性のリセットパルスRP<sub>1</sub>を行電極X<sub>1~X<sub>1n</sub></sub>に印加し、かかるリセットパルスRP<sub>1</sub>の印加と同時に、第2サステンドライバ8が正極性のリセットパルスRP<sub>2</sub>を行電極Y<sub>1~Y<sub>2n</sub></sub>に印加する。これらリセットパルスRP<sub>1</sub>及びRP<sub>2</sub>の印加に応じて、PDP10における全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。

【0041】すなわち、かかる一斉リセット行行Rcにより、PDP10における全ての放電セルは、「発光セル」の状態に初期化されるのである。一斉リセット行行Rcが終了すると、次に、第1画素データ書込行行Wc1を実行する。第1画素データ書込行行Wc1では、アドレ

スドライバ6が、上記メモリ4から順次読み出された駆動画素データビット群DB<sub>1~DB<sub>3</sub></sub>各々に対応した画素データパルス群DP<sub>1~DP<sub>3</sub></sub>を発生し、これらを図10に示されるように順次、列電極D<sub>1~D<sub>3</sub></sub>に印加して行く。この際、駆動画素データビット群DB<sub>1~DB<sub>3</sub></sub>とは、例えば、サブフィールドSF1では図8に示されるが如き画像処理画素データHDの第1ビットのみであり、又、サブフィールドSF4では図8に示されるが如き画像処理画素データHDの第4ビットのみであるものである。すなわち、アドレスドライバ6は、上記画像処理画素データHDによるデータビットが例えば論理レベル"1"である場合には高電圧、論理レベル"0"である場合には低電圧(0ボルト)の画素データパルスを発生し、これをPDP10の表示ラインの第1行~第n行各々に相当するもの同士でグループ化したものを上記画素データパルス群DP<sub>1~DP<sub>3</sub></sub>として順次、列電極D<sub>1~D<sub>3</sub></sub>に印加して行くのである。第2サステンドライバ8は、これら画素データパルス群DP<sub>1~DP<sub>3</sub></sub>各々の印加タイミングにて、負極性の走査パルスSPを発生し、これを図10に示されるが如く行電極Y<sub>1~Y<sub>n</sub></sub>へ順次印加して行く。この際、走査パルスSPが印加された行と、高電圧の画素データパルスが印加された列との交差部の放電セルにのみ放電(選択消去放電)が生じられ、上記一斉リセット行行Rcで形成された壁電荷が消滅する。つまり、この放電セルは、「非発光セル」の状態に移行するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルには、上記の如き選択消去放電は生じられないので、「発光セル」の状態が保持される。

【0042】すなわち、第1画素データ書込行行Wc1によれば、PDP10における第1行~第n行からなる表示ラインの内、第1行~第n行からなる表示ライン群(以下、表示ライン群Aと称する)に属する放電セルに対して、選択消去アドレス法を適用した画素データの書込が為されるのである。かかる第1画素データ書込行行Wc1が終了すると、次に、第1発光維持行行Ic1が実施される。

【0043】第1発光維持行行Ic1では、先ず、第1サステンドライバ7が、図10に示されるが如き正極性の維持パルスIP<sub>11</sub>をPDP10の行電極X<sub>1~X<sub>1n</sub></sub>に同時印加する。更に、かかる維持パルスIP<sub>11</sub>の印加直後に、第2サステンドライバ8が、図10に示されるが如き正極性の維持パルスIP<sub>21</sub>をPDP10の行電極Y<sub>1~Y<sub>n</sub></sub>に同時印加する。これら維持パルスの印加により、上記第1画素データ書込行行Wc1において壁電荷が残留したまゝとなっている放電セル、すなわち「発光セル」のみが上記維持パルスIP<sub>11</sub>及びIP<sub>21</sub>が印加される度に維持放電して、2回分のパルス発光が為される。

【0044】すなわち、第1発光維持行行Ic1では、PDP10における第1行~第n行なる表示ラインの



内、第1行～第n行からなる表示ライン群Aに属する“発光セル”に対して、最初の2回分の維持放電を生起させるのである。一方、かかる第1発光維持行程Ic1と同時に実施されるフライミング行程Pcでは、第2サステインドライバ8が、図10に示されるが如き正極性のフライミングパルスPPをPDP10の行電極 $Y_{n+1} \sim Y_{2n}$ に同時印加する。かかるフライミングパルスPPの印加に応じてフライミング放電が生起され、行電極 $Y_{n+1} \sim Y_{2n}$ に属する各放電セルの放電空間内に荷電粒子が形成される。

【0045】すなわち、かかるフライミング行程Pcでは、PDP10における第1行～第2n行なる表示ラインの内、第n+1行～第2n行からなる表示ライン群(以下、表示ライン群Bと称する)に属する放電セルに対して、荷電粒子を形成させる為のフライミング放電を生起させるのである。上記第1発光維持行程Ic1及びフライミング行程Pcが終了すると、次に、第2画素データ書込行程Wc2が実施される。

【0046】第2画素データ書込行程Wc2では、アドレスドライバ6が、上記メモリ4から順次読み出された駆動画素データビット群 $D_{Bn+1} \sim D_{B2n}$ 各々に対応した画素データパルス群 $D_{Pn+1} \sim D_{P2n}$ を発生し、これらを図10に示されるように順次、列電極 $D_{-j}$ に印加して行く。この際、駆動画素データビット群 $D_{Bn+1} \sim D_{B2n}$ とは、例えばサブフィールドSF1では、図8に示されるが如き画像処理画素データ11Dの第1ビットのみであり、又、サブフィールドSF2では、図8に示されるが如き画像処理画素データHDの第4ビットのみであるものとする。すなわち、アドレスドライバ6は、この画像処理画素データHDによるデータビットが例えば論理レベル“1”である場合には高電圧、論理レベル“0”である場合には低電圧(0ボルト)の画素データパルスを発生し、これをPDP10の表示ラインの第n+1行～第2n行各々に相当するもの同士でグループ化したものを上記画素データパルス群 $D_{Pn+1} \sim D_{P2n}$ として順次、列電極 $D_{-j}$ に印加して行くのである。これら画素データパルス群 $D_{Pn+1} \sim D_{P2n}$ 各々の印加タイミングにて、第2サステインドライバ8は、自極性の走査パルスSPを発生し、これを図10に示されるが如く行電極 $Y_{n+1} \sim Y_{2n}$ へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生起され、その放電セル内に残存していた壁電荷が消散する。つまり、この放電セルは、“非発光セル”の状態に推移するのである。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスが印加された放電セルでは、上記の如き選択消去放電は生起されないで、“発光セル”の状態が保持される。

【0047】すなわち、第2画素データ書込行程Wc2では、PDP10における第1行～第2n行からなる表示

ラインの内、第n+1行～第2n行からなる表示ライン群Bに属する放電セルに対して、選択消去アドレス法を適用した画素データの書込が為されるのである。かかる第2画素データ書込行程Wc2が終了すると、次に、第2発光維持行程Ic2が実施される。

【0048】第2発光維持行程Ic2では、第1サステインドライバ7及び第2サステインドライバ8各々が、正極性の維持パルスI $P_{P1}$ 及びI $P_{P2}$ を図10に示されるように、行電極 $X_{-i}$ 及び $Y_{n+1} \sim Y_{2n}$ に交互に繰り返し印加する。尚、各サブフィールドの第2発光維持行程Ic2で印加される維持パルスの回数 $i$ は、各サブフィールドSFの重み付けに対応して予め設定されている数、例えば、

SF4: 8

SF3: 4

SF2: 2

SF1: 1

なる回数比に基づいて設定されている回数から、上記第1画素データ書込行程Ic1において生起させた維持放電の回数を減じた回数となる。

【0049】かかる維持パルスの印加により、上記第1画素データ書込行程Wc1及び第2画素データ書込行程Wc2において壁電荷が形成された放電セル、すなわち、“発光セル”のみが上記維持パルスI $P_{P1}$ 及びI $P_{P2}$ が印加される度に維持放電して、上述した如き回数分だけ断続的な発光を繰り返す。上記第2発光維持行程Ic2が終了すると、サブフィールドSF2の第1画素データ書込行程Wc1が実施される。

【0050】この際、サブフィールドSF2においても上記サブフィールドSF1の場合と同様に、第1画素データ書込行程Wc1、第1発光維持行程Ic1、第2画素データ書込行程Wc2、第2発光維持行程Ic2が順次実施される。ここで、先頭のサブフィールドSF1では、上記第2画素データ書込行程Wc2の直前にフライミング行程Pcを実施したが、サブフィールドSF2においては、かかるフライミング行程Pcに代わり第3発光維持行程Ic3を実施する。

【0051】第3発光維持行程Ic3では、第2サステインドライバ8が、上記第1発光維持行程Ic1において印加する維持パルスI $P_{P1}$ と同一タイミングにて維持パルスI $P_{P3}$ をPDP10の行電極 $Y_{n+1} \sim Y_{2n}$ に同時印加する。この際、上記維持パルスI $P_{P1}$ 及びI $P_{P2}$ の印加により、サブフィールドSF1での第2画素データ書込行程Wc2の終了時点において壁電荷が残留したままと成っている放電セル、すなわち“発光セル”のみが上記維持パルスI $P_{P1}$ 及びI $P_{P2}$ が印加される度に維持放電して、2回分のパルス発光が為される。

【0052】すなわち、サブフィールドSF2での第3発光維持行程Ic3では、PDP10における第1行～第2n行なる表示ラインの内、第n+1行～第2n行から

なる表示ライン群Bに属する“発光セル”に対し、上述の如く予め設定されているサブフィールドSF1での発光回数の中の最後の2回分の維持放電を生起させるのである。つまり、かかる表示ライン群Bに属する放電セルでは、サブフィールドSF1の第2発光維持行程Ic2において生起された維持放電の回数と、サブフィールドSF2の第3発光維持行程Ic3において生起された維持放電の回数の合計が、前述した如く設定されているサブフィールドSF1での回数となる。

【0053】かかるサブフィールドSF2での駆動を、サブフィールドSF3及びSF4においても同様に行実する。これにより、PDP10に対して、画像処理要素データHDに応じた発光駆動、すなわち図8に示されるが如き5系統の発光駆動パターンの中のいずれか1による発光駆動が為されるのである。すなわち、図8に示されるように、まず、サブフィールドSF1～SF4の内の1つのサブフィールドでの第1画素データ書込行程Wc1及び第2画素データ書込行程Wc2においてのみで、選択消去放電が生起される(黒点にて示す)。これにより、一斉リセット行程RcによってPDP10の全放電セル内に形成された壁電荷は、上述選択消去放電が実施されるまでの間残存し、その間に存在するサブフィールドSF各々での発光維持行程Ic1及びIc2(又はIc3)において維持放電にともなう発光が生じる(白丸にて示す)。つまり、各放電セルは、1フィールド期間内において上記選択消去放電が為されるまでの間、“発光セル”となり、その間に存在するサブフィールド各々での発光維持行程において、上述した如き回数分だけ発光を繰り返すのである。

【0054】この際、図8に示されるように、各放電セルが“発光セル”から“非発光セル”へと推移する回数は、1フィールド期間内において必ず1回以下となるようにしている。すなわち、1フィールド期間内において一旦、“非発光セル”に設定した放電セルを再び“発光セル”に復帰させるような発光駆動パターンを禁止したのである。よって、かかる発光駆動パターンによれば、1フィールド期間内において発光状態にある期間と、非発光状態となる期間とが互いに反転するような発光パターンは存在しないので、偽輪郭を抑制出来るのである。

【0055】ここで、かかる図8に示されるが如き発光駆動パターンによれば、発光率比が、

$$(0.13715)$$

なる5段階の中間調表現が可能になる。ところが、上記A/D変換器1から供給される画素データDは、4ビット、すなわち、16段階の中間調を表現しているものである。

【0056】そこで、上記5段階の階調駆動によっても擬似的に16段階の中間調表示を実施さるべく、上記画像処理回路30によって画素データDに対し、誤差拡散及びディザ処理を施しているのである。以上の如く、

上記図7～図10に示される実施例においても、PDP10の第1行～第2n行の表示ラインの内、第1行～第n行の表示ライン群Aに属する放電セルに対する画素データ書き込みが終了した時点で、この表示ライン群Aに対して所定回数分だけ最初の維持放電を生起させるようにしている。これにより、上記第1画素データ書込行程Wc1での選択消去放電によって形成されたものの時間経過とともに減少してしまった荷電粒子は、かかる維持放電によって再形成される。

【0057】よって、図10に示される第2発光維持行程Ic2の直前の段階において、表示ライン群Aに属する放電セル内には上記荷電粒子が残存しているので、例えば、かかる第2発光維持行程Ic2において印加する維持パルスIP<sub>22</sub>及びIP<sub>23</sub>各々のパルス幅が短くても、維持放電が正しく生起されるようになる。一方、PDP10の残りの表示ライン群Bに属する放電セル各々に対しては、画素データの書き込みを行う前に、ブライミングパルスPP、又は維持パルスIP<sub>28</sub>を印加してブライミング放電、又は維持放電を生起させている。これにより、上記一斉リセット行程Rcでのリセット放電にて形成されたものの時間経過につれて減少してしまった荷電粒子が再形成される。

【0058】よって、図10に示されるが如き第2画素データ書込行程Wc2の直前の段階において、表示ライン群Bに属する放電セル内には上記荷電粒子が残存することになるので、例えば、この第2画素データ書込行程Wc2において印加する走査パルスSPのパルス幅が短くても、選択消去放電が正しく生起される。

【0059】

【発明の効果】以上詳述した如く、本発明においては、PDPの表示ラインの内の一部の表示ライン群に属する放電セルに対して画素データの書き込みが終了したら、この一部の表示ライン群に属する放電セルに対して初回分の維持放電を生起させる。その後、残りの表示ライン群に属する放電セルに対して画素データの書き込みを行い、これが終了したら、全ての放電セルに対して残りの維持放電を生起させるようにしている。

【0060】よって、かかる駆動によれば、各放電セル内には常に荷電粒子が残存することになるので、例えば、PDPに印加すべき駆動パルスのパルス幅を短くしても誤放電が生じにくくなり、良好な画像表示が得られるようになる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】発光駆動フォーマットの一例を示す図である。

【図3】1サブフィールド内においてPDP10の列電極及び行電極に印加する各種駆動パルスの印加タイミングを示す図である。

【図4】本発明による駆動方法に従ってプラズマディス

プレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図5】本発明による駆動方法に基づく発光駆動フォーマットの一例を示す図である。

【図6】図5に示される発光駆動フォーマットに従ってPDP10の列電極及び行電極に印加する各種駆動パルスの印加タイミングを示す図である。

【図7】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図8】画像処理画素データHDと発光駆動パターンとの対応を示す図である。

【図9】本発明による駆動方法に基づく発光駆動フォー

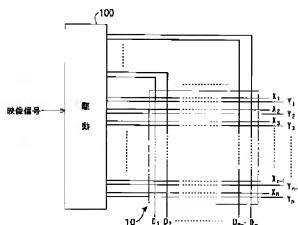
マットの他の一例を示す図である。

【図10】図9に示される発光駆動フォーマットに従ってPDP10の列電極及び行電極に印加する各種駆動パルスの印加タイミングを示す図である。放電セル内の状態推移を示す図である。

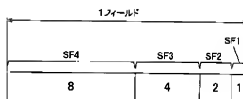
【主要部分の符号の説明】

- 2, 20 駆動制御回路
- 5 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP
- 30 画像処理回路

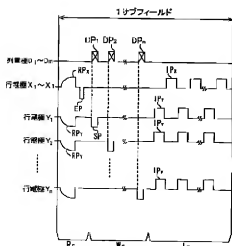
【図1】



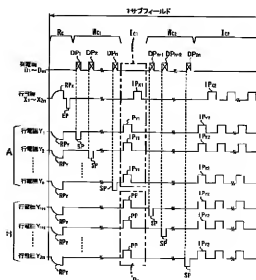
【図2】



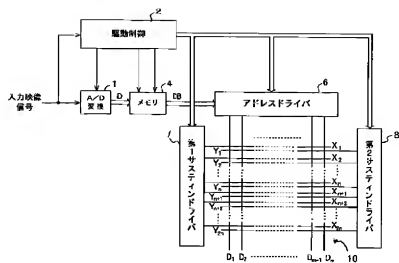
【図3】



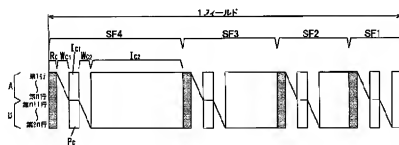
【図6】



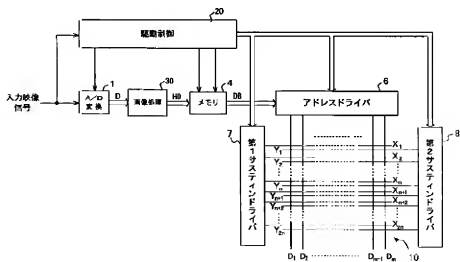
【図4】



【図5】



【図7】

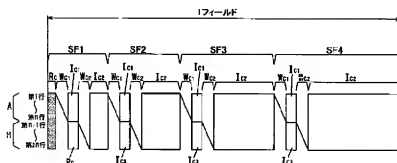


【図8】

	HD				光電変換パルス SF 1 2 3 4 T 2 3 4	全 数
	1	2	3	4		
第1画素	1	0	0	0	●	0
第2画素	0	1	0	0	○ ●	1
第3画素	0	0	1	0	○ ○ ●	3
第4画素	0	0	0	1	○ ○ ○ ●	7
第5画素	0	0	0	0	○ ○ ○ ○	15

黒丸:選択消去増電  
白丸:維持発光

【図9】



【図10】

